

MÁQUINA DE ESTADOS FINITOS

En esta entrega se va a diseñar la máquina de estados finitos del proyecto final de la asignatura. Antes de comenzar, conviene releer el enunciado del proyecto final y decidir la temporización de cada uno de los bloques del sistema completo. Tanto si se va a utilizar el esquema de dos fases propuesto en clase, como si se utiliza cualquier otro, conviene tenerlo decidido antes de comenzar con el diseño de los módulos secuenciales. Además, si se plantea hacer mejoras que afecten al control o a la temporización del sistema, es el momento de realizarlas.

Observaciones:

- Para el cálculo de la potencia, utilice la misma frecuencia que empleó en la entrega anterior. Especifique bajo qué condiciones exactas se han realizado las medidas.
- Para el cálculo del retardo en el caso peor, explique exactamente qué transistores y condensadores están involucrados en el camino crítico de cada módulo combinacional.
- **No se olvide de pegar capturas de pantalla** de todos los trazados que realice en el documento que entregue.

1 A partir de la descripción entregada en el enunciado del proyecto final, extraiga el diagrama de estados de la máquina de estados finitos del sistema, genere la tabla de transiciones y la tabla de transiciones codificada. Finalmente, en papel, diseñe y represente, incluyendo las lengüetas de programación la máquina de estados finitos completa basada en una PLA pseudo-nMOS, siguiendo el estilo de representación que se empleó en clase (notación mixta de diagrama de barras y esquemático). Nota: en este apartado no utilice ELETIC™.

2 La máquina de estados finitos lleva asociados una serie de módulos, por el ejemplo el contador que contiene las direcciones de la memoria ROM, el contador del número de repeticiones, etc. Implemente estos módulos. Puede utilizar las células de la biblioteca “muddLib07” que considere necesarias o reutilizar diseños de las prácticas anteriores. Describa el funcionamiento interno de cualquier célula que vaya a utilizar, por ejemplo, si va a utilizar un latch-D con reset, explique los caminos de realimentación, la temporización de cada señal y el mecanismo de reset.

3 Caracterice los módulos anteriores, proporcionando el área, el consumo de potencia y, opcionalmente, el retardo si es que se trata de un módulo combinacional. Tenga en cuenta que estas medidas se han de realizar con las salidas cargadas a 3fF.

4 A partir del diagrama de estados del apartado 1(a), realice el trazado de la PLA. Se valorará el diseño estructural que pueda crecer fácilmente. Nota: en ELETIC™ existe un generador automático de PLAs. Su uso está permitido, pero no se dará soporte sobre su configuración.

5 Caracterice el diseño anterior, proporcionando el área, el retardo y el consumo de potencia. Tenga en cuenta que estas medidas se han de realizar con las salidas cargadas a 3fF.

6 Realice el trazado de la máquina de estados finitos completa.

7 Caracterice el diseño anterior, proporcionando el área, el retardo y el consumo de potencia. Tenga en cuenta que estas medidas se han de realizar con las salidas cargadas a 3fF.

PROCEDIMIENTO DE ENTREGA: Enviar un único archivo .zip o .rar que contenga:

- Un único archivo .jelib con todas las células y las células de la prueba de sus ejercicios.
- Un documento de texto (word, pdf o rft) que contenga las explicaciones que considere necesarias para cada problema. Incluir una captura de pantalla de cada uno de los diseños que ha hecho. Hay que entregar una copia impresa de este archivo durante la clase siguiente a la fecha de entrega.

Nomenclatura de los ficheros: nombre todos los archivos utilizando el modelo siguiente: grupo#.XXX, por ejemplo, el grupo 3 debe entregar un archivo de nombre grupo3.zip que contiene los siguientes dos archivos: grupo3.jelib y grupo3.pdf