

ENTREGA 4: SISTEMAS COMBINACIONALES DE LA RUTA DE DATOS DEL PROYECTO FINAL

En esta entrega se va a realizar la mayor parte de los bloques combinacionales del proyecto final, que se encuentran en la Ruta de Datos. Es imprescindible la lectura del enunciado del proyecto para conocer el entorno donde van a ir encajados dichos diseños. La mayoría de los módulos se encuentra ya implementado en la biblioteca de células estándar "muddLib07" que se le ha proporcionado, con lo que la dificultad del ejercicio radicará en la integración de todos los elementos en un trazado lo más pequeño y compacto posible. Aún así, se valorará muy positivamente la implementación de cualquiera de los módulos; en este caso se da total libertad para escoger el tipo de lógica que se considere adecuada, siempre que se razone.

Observaciones:

- Para el cálculo de la potencia, utilice una frecuencia que permita a los datos recorrer el camino ALU+Desplazador+Selector (sume los caminos críticos de estos módulos y el inverso le dará la frecuencia máxima). Cargue las salidas con 3fF.
- Para el cálculo del retardo en el caso peor, explique exactamente qué transistores y condensadores están involucrados en el camino crítico de cada módulo combinacional.
- Se recomienda que un miembro del equipo realice el full adder y otro miembro el 3-Bit Check.

1.- Selector.

1(a) Encuentre una célula de la biblioteca "muddLib07" que se ajuste a las necesidades del selector. Explique con precisión su funcionamiento.

1(b) Caracterice el diseño, proporcionando el área, el retardo y el consumo de potencia. Tenga en cuenta que estas medidas se han de realizar con las salidas cargadas a 3fF.

2.- Buffer Triestado

2(a) Encuentre una célula de la biblioteca "muddLib07" que se ajuste a las necesidades del selector. Explique con precisión su funcionamiento.

2(b) Caracterice el diseño, proporcionando el área, el retardo y el consumo de potencia. Tenga en cuenta que estas medidas se han de realizar con las salidas cargadas a 3fF.

3.- ALU. Para la realización de la ALU se va a utilizar una estructura bit-slice. Antes de hacer los siguientes ejercicios el equipo en grupo tiene que decidir la estructura del slice a nivel lógico. Teniendo en cuenta que las operaciones "Suma", "3 X A" y "3-Bit Check" toman operandos de otras slices contiguas, definan los multiplexores y señales de control necesarias que permiten el correcto funcionamiento de una slice.

3(a) Encuentre una célula de la biblioteca "muddLib07" que se ajuste a las necesidades de las operaciones AND, OR, XOR, A invertido y los multiplexores que sean necesarios. Explique con precisión su funcionamiento.

3(b) Caracterice los diseños, proporcionando el área, el retardo y el consumo de potencia. Tenga en cuenta que estas medidas se han de realizar con las salidas cargadas a 3fF.

En este punto, el grupo tiene que planificar la forma del slice que se va a reproducir 8 veces. Se proporcionan las siguientes recomendaciones:

- Trate de conseguir un trazado lo más compacto posible, minimizando al máximo los espacios vacíos.
- Juegue con las formas, puede rotar, voltear, alargar, etc. Cualquier estrategia es válida si pasa DRC.
- Planifique previamente cómo se van a colocar los distintos módulos dentro del plano global, teniendo en cuenta sus tamaños y formas.
- Trate de hacer las interconexiones lo más cortas posibles para minimizar capacidades y resistencias, tenga especial consideración con las pistas de alimentación y masa.
- Tenga en cuenta que el sistema no es capaz de detectar desbordamientos. Se utilizará aritmética de complemento a 2.

3(c) Para el caso del sumador completo **NO** trabaje con ningún módulo de la biblioteca de células estándar. Diseñe e implemente un sumador completo adaptando su forma a las necesidades del slice. Para este diseño no es necesario ajustarse a las especificaciones de la biblioteca de células estándar.

3(d) Caracterice el diseño, proporcionando el área, el retardo y el consumo de potencia. Tenga en cuenta que estas medidas se han de realizar con las salidas cargadas a 3fF.

3(e) Para el caso del 3-Bit Check **NO** trabaje con ningún módulo de la biblioteca de células estándar. Diseñe e implemente un sumador completo adaptando su forma a las necesidades del slice. Para este diseño no es necesario ajustarse a las especificaciones de la biblioteca de células estándar.

3(f) Caracterice el diseño, proporcionando el área, el retardo y el consumo de potencia. Tenga en cuenta que estas medidas se han de realizar con las salidas cargadas a 3fF.

3(g) Realice el trazado de la ALU completa. Además del layout general, entregue un esquema de cajas negras (sin trazados) donde se incluyan los módulos y las conexiones.

3(h) Caracterice la ALU. Establezca el área total, el área ocupada (porcentual aproximada), el área vacía (porcentual aproximada), el camino crítico, el consumo de potencia, explicando cómo ha realizado los cálculos. Considere que la ALU está cargada en sus salidas con 3fF.

PROCEDIMIENTO DE ENTREGA: Enviar un único archivo .zip o .rar que contenga:

- Un único archivo .jelib con todas las células y las células de la prueba de sus ejercicios.
- Un documento de texto (word, pdf o rft) que contenga las explicaciones que considere necesarias para cada problema. Incluir una captura de pantalla de cada uno de los diseños que ha hecho. Hay que entregar una copia impresa de este archivo durante la clase siguiente a la fecha de entrega.

Nomenclatura de los ficheros: nombre todos los archivos utilizando el modelo siguiente: grupo#.XXX, por ejemplo, el grupo 3 debe entregar un archivo de nombre grupo3.zip que contiene los siguientes tres archivos: grupo3.jelib, grupo3.pdf y grupo3.xls